

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043419

(43)Date of publication of application : 08.02.2002

(51)Int.CI.

H01L 21/768

(21)Application number : 2000-222414

(71)Applicant : NEC CORP

(22)Date of filing : 24.07.2000

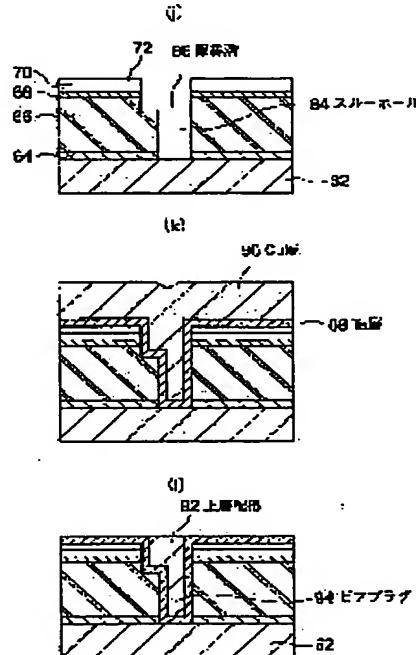
(72)Inventor : USAMI TATSUYA

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for preventing non-conforming devices from being manufactured due to pattern misalignment in manufacturing a semiconductor device to form a buried interconnection using a dual-damascene method.

SOLUTION: A diffusion prevention insulating film 64 and a low dielectric insulating film 66 are formed on a copper layer 62 and three hard mask layers 68, 70 and 72 having different etching rates are formed thereon. The mask 68 is exposed by patterning the mask 72 and by etching a top portion of a through-hole 84, then the through-hole 84 is opened with the mask 70 until the insulating film 64 is exposed after removing only the mask 72 overlying a trench with an interconnection 86 and fixing the position, sequentially the opening is completed by etching the masks 70, 68 and the low dielectric insulating film 66 in the trench with the interconnect portion and by etching the diffusion prevention insulating film 64 at the bottom of the through-hole. A Ta barrier metal layer 88 is formed, a copper layer 90 is deposited thereon, and the top surface thereof is polished, then a via plug 94 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-43419

(P2002-43419A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl.
H 0 1 L 21/768

識別記号

F I
H 0 1 L 21/90

テ-マート(参考)
A 5 F 0 3 3
J

審査請求 未請求 請求項の数8 O L (全 19 頁)

(21)出願番号 特願2000-222414(P2000-222414)

(22)出願日 平成12年7月24日(2000.7.24)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096231

弁理士 稲垣 清

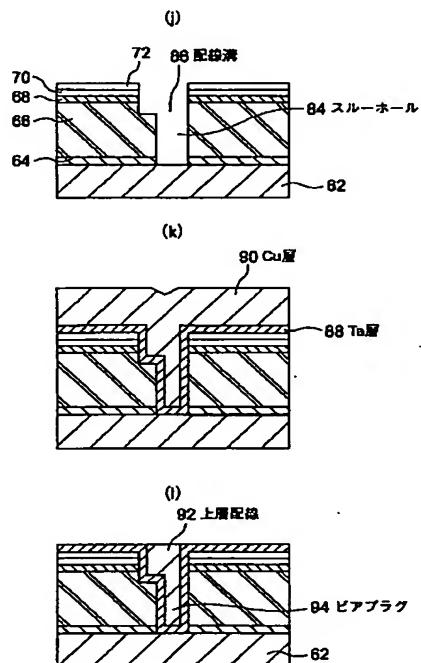
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法及び半導体装置

(57)【要約】 (修正有)

【課題】 デュアル・ダマシン法による埋め込み配線を形成する半導体装置の製造時に生ずるバターン位置ずれによる不良品を発生しない方法の提供。

【解決手段】 Cu層62上に拡散防止絶縁膜64、低誘電率絶縁膜66を成膜し、その上にそれぞれエッティングレートの異なる3層のハードマスク68、70、72をを形成する。マスク72をバターニングしてスルーホール84上部位置をエッティングしてマスク68を露出し、次いで配線溝86上部のマスク72のみを除去して位置決めを確定した後マスク70によりスルーホール84を絶縁膜64が露出するまで開口し、続いてマスク72により配線溝86部のマスク70、68及び低誘電率絶縁膜66とスルーホール底の拡散防止絶縁膜64をエッティングして開口を終る。バリアメタルTa層88を成膜しCu層90を堆積して上面を研磨して上層配線92、ピアブリグ94を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に第1の配線とその上層の第2の配線とを備え、第1及び第2の配線間にスルーホールが形成されている半導体装置の製造方法において、第2の配線及びスルーホールを形成する際、

第1の配線上の層間膜として、順次、第1の配線の配線金属の拡散防止膜として機能する第1の絶縁膜と、低誘電率膜層からなる第2の絶縁膜とを形成する絶縁膜成膜工程と、

第2の絶縁膜上に成膜された少なくとも3層以上の絶縁ハードマスク層で構成され、かつ、それらの3層の絶縁ハードマスク層は同じエッチング条件ではエッチングレートが相互に異なる多層ハードマスク層であって、第2の絶縁膜上に、順次、第1の絶縁ハードマスク層、第2の絶縁ハードマスク層及び第3の絶縁ハードマスク層を成膜する多層ハードマスク層の成膜工程と、

第3及び第2のハードマスク層をエッチングして、スルーホールパターンである第1の開口部をセルフアラインで第1のハードマスク上に形成する第1の開口部形成工程と、

第3のハードマスク層をエッチングして、第2の配線の配線溝パターンであって、第1の開口部に連通する第2の開口部を第2のハードマスク層上に形成する第2の開口部形成工程と、

第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングするステップと、更に第2の絶縁膜をエッチングするステップとを有して、第1及び第2の開口部に連通し、かつ第1の絶縁膜を露出させる第3の開口部を形成する第3の開口部形成工程と、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び第2の絶縁膜の上部をエッチングして、第2の配線の配線溝を形成すると共に第1の絶縁膜をエッチングして、第1の配線を露出させるスルーホールを開口する第2の配線の配線溝／スルーホール形成工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 絶縁膜成膜工程では、低誘電率層からなる第2の絶縁膜に際し、順次、第1の低誘電率層、第2のハードマスク層と同じ組成の電気絶縁性エッチングストップ層、及び第2の低誘電率層とを成膜し、

第3の開口部形成工程では、第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングして第2の低誘電率層を露出させるステップと、第2の低誘電率層をエッチングしてエッチングストップ層を露出させるステップと、更にエッチングストップ層をエッチングするステップとを有し、

配線溝／スルーホール形成工程では、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び第2の低誘電率層をエッチングしてエッティングストップ層を露出させて第2の

配線の配線溝を形成し、更に、第1の絶縁膜をエッチングして、第1の配線を露出させるスルーホールを開口することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 絶縁膜成膜工程では、低誘電率層からなる第2の絶縁膜として、第2のハードマスク層と同じ組成の絶縁膜及び低誘電率層を成膜し、

第3の開口部形成工程では、第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングして低誘電率層を露出させるステップと、低誘電率層及び絶縁膜をエッチングして第1の絶縁膜を露出させるステップとを有して、第1及び第2の開口部に連通し、かつ第1の絶縁膜を露出させる第3の開口部を形成し、

配線溝／スルーホール形成工程では、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び低誘電率層をエッチングして絶縁膜を露出させて第2の配線の配線溝を形成し、更に、第1の絶縁膜をエッチングして、第1の配線を露出させるスルーホールを開口することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 第1のハードマスク層として第1の絶縁膜と同じ組成の絶縁膜を成膜することを特徴とする請求項1から3のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項5】 第1の開口部形成工程では、第3のハードマスク層上に第1の反射防止膜を成膜し、次いで第1の反射防止膜上にスルーホール・パターンを有する第1のエッチングマスクを形成し、先ず、第1の反射防止膜、続いて第3及び第2のハードマスク層をエッチングすることを特徴とする請求項1から4のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項6】 第2の開口部形成工程では、第3のハードマスク層上に第2の反射防止膜を成膜して、第1の開口部を埋め、次いで第2の反射防止膜上に第2の配線形成用の配線溝パターンを有する第2のエッチングマスクを第2の反射防止膜上に形成し、先ず、第2の反射防止膜、続いて第3のハードマスク層をエッチングすることを特徴とする請求項1から5のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項7】 第1の配線がCu層、第1のハードマスク層がSiC膜、第2のハードマスク層がSiO₂膜、及び第3のハードマスク層がSiN膜であることを特徴とする請求項1から6のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項8】 半導体基板上に、第1の配線と、第1の配線上に設けられた絶縁膜と、絶縁膜に設けられた配線溝を埋め込んで形成された第2の配線とを備え、第1及び第2の配線間に絶縁膜を貫通するスルーホールが形成されている半導体装置において、

第1の配線及び第2の配線との間に介在する絶縁膜が、第1の配線上に、順次、成膜された、第1の配線の配線金属の拡散防止膜として機能する第1の絶縁膜と、低誘電率膜層からなる第2の絶縁膜を有し、

第2の絶縁膜上には、少なくとも3層以上の異種組成の絶縁膜が設けられ、

第2の配線の配線溝は、少なくとも3層以上の異種組成の絶縁膜を貫通して、第2の絶縁膜に達し、かつスルーホールに連通することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、更には配線の微細化の要求に対応した、半導体装置の製造方法に関するものである。

【0002】

【従来の技術】半導体装置の微細化及び高集積化の要求に伴い、配線層の微細化の要求が高まり、デュアル・ダマシン法による埋め込み配線の形成が注目されている。また、配線の微細化に伴う信号伝達遅延を防止するためには、埋め込み配線の形成と共に低誘電率層（以下、Low-k層という）を層間絶縁膜とする配線構造の採用が注目されている。ところで、Low-k層を層間絶縁膜にすると共に、デュアル・ダマシン法により埋め込み配線を形成する方法として、従来、二つの方法が、提案され、実施されつつある。

【0003】従来の第1の方法

ここで、図15から図17を参照して、Low-k層を層間絶縁膜にすると共に、デュアル・ダマシン法によって埋め込み配線を形成する従来の方法（以下、従来の第1の方法と言う）を説明する。図15（a）から（c）、図16（d）と（e）、及び図17（f）と（g）は、それぞれ、従来の第1の方法に従って埋め込み配線を形成した際の工程毎の断面図である。従来の第1の方法では、先ず、スルーホールを開口し、次いで上層配線用の配線溝を形成する。

【0004】先ず、図15（a）に示すように、下層配線として形成されたCu層12上にプラズマCVD法によって膜厚50nmのP-SiN膜14をCu原子の拡散防止膜として成膜する。次いで、層間絶縁膜として膜厚700nmのLow-k層16を成膜し、更にプラズマCVD法によって膜厚100nmのP-SiO₂膜18を成膜する。次いで、図15（b）に示すように、P-SiO₂膜18上に膜厚100nmの第1の反射防止膜（以下、第1のARC膜と言う）20を成膜し、更に、第1のARC膜20上に膜厚600nmのフォトレジスト膜を塗布し、スルーホール・パターンを有するエッチングマスク22を形成する。次に、エッチングマスク22を使って、第1のARC膜20、P-SiO₂膜18をフロロカーボン系ガスでドライエッチング加工を行う。続いて、窒素と水素の混合ガスにより、フォトレジ

ストのエッチングマスク22、エッチングマスク22の下の第1のARC膜、P-SiO₂膜18を加工した領域のLow-k膜16を同時に加工する。このエッチングでフォトレジストのエッチングマスク22及び第1のARC膜20は完全に除去される。

【0005】次いで、図16（d）に示すように、ホール24を埋め込みつつ、P-SiO₂膜18全面に第2のARC膜26を成膜し、更に、第2のARC膜26上面にフォトレジスト膜28を塗布、成膜する。次いで、図16（e）に示すように、フォトレジスト膜28をバーニングして、上層配線用の配線溝パターンを有するエッチングマスク30を形成する。

【0006】続いて、フロロカーボン系ガスをエッティングガスとして、エッチングマスク30を使って第2のARC膜26、P-SiO₂膜18を加工し、さらにLow-k膜をエッティング加工する。この時フォトレジストによるエッチングマスク30及びその下の第1のARC膜20を完全に除去し、図17（f）及び（g）のようにする。その後、Cu層12の上のP-SiN層14をエッティングし、図17（h）に示すように、スルーホール32を開口する。

【0007】続いて、スルーホール32及び配線溝34の壁、並びにP-SiO₂膜18上にバリヤメタル層を形成し、更にCu層を堆積して、スルーホール32及び配線溝34をCu層で埋め込む。次いで、CMP法でP-SiO₂膜18上のCu層及びバリヤメタル層を除去すると、スルーホールを介して下層のCu層12と接続した埋め込み上層配線を形成することができる。

【0008】従来の第2の方法

30 次に、図18から図20を参照して、Low-k層を層間絶縁膜にすると共に、デュアル・ダマシン法によって埋め込み配線を形成する別の従来の方法（以下、第2の従来方法と言う）を説明する。図18（a）から（c）、図19（d）から（f）、及び図20（g）から（i）は、それぞれ、従来の第2の方法に従って配線を形成した際の工程毎の断面図である。従来の第2の方法では、先ず、配線溝を形成し、次いでスルーホールを形成する。

【0009】先ず、図18（a）に示すように、下層配線として形成されたCu層36上に、順次、Cu原子の拡散防止膜として膜厚50nmのP-SiN膜38を、次いで層間絶縁膜として膜厚700nmのLow-k層40を、ハードマスク層として、それぞれ、膜厚50nmのP-SiO₂膜42及びP-SiN膜44を成膜する。次いで、図18（b）に示すように、P-SiN膜44上に、膜厚400nmのフォトレジスト膜を塗布し、上層配線の配線溝パターンを有するエッチングマスク46を形成する。尚、フォトレジスト膜の成膜前にARC膜を成膜しても良い。次に、エッチングマスク46を使って、図18（c）に示すように、P-SiN膜4

4をエッチングして、P-SiO₂膜42を一部露出させる、上層配線用の配線溝と同じ開口径の開口部47を形成する。。

【0010】続いて、図19(d)に示すように、O₂プラズマアッシング法によって、エッチングマスク46を除去し、P-SiN膜44を露出させる。次いで、図19(e)に示すように、フォトレジスト膜を塗布し、パターニングして、スルーホール開口用のエッチングマスク48を形成する。次に、図19(f)に示すように、P-SiO₂膜42をエッチングして、Low-k層40を一部露出させたホール50を開口する。

【0011】続いて、エッチングマスク48を使って、Low-k層40をエッチングして、P-SiN膜38を露出させたホール52Aを開口した後、図20(g)に示すように、Low-k膜加工と同時にフォトレジストのエッチングマスクを除去する。次にP-SiN膜44をエッチングマスクにして、P-SiO₂膜42及びLow-k層40をエッチングして、図20(h)に示すように上層配線用の配線溝54を形成する。更に、Low-k層40をエッチングマスクにして、P-SiN膜38をエッチングし、図20(i)に示すように、配線溝54に連通し、Cu層36を一部露出させたスルーホール52を開口する。

【0012】続いて、スルーホール52及び配線溝54の壁、並びにP-SiO₂膜44上にバリヤメタル層を形成し、更にCu層を堆積して、スルーホール52及び配線溝54をCu層で埋め込む。次いで、CMP法でP-SiO₂膜44上のCu層及びバリヤメタル層を除去すると、ピアラグを介して下層のCu層36と接続した埋め込み配線を形成することができる。

【0013】

【発明が解決しようとする課題】しかし、上述した従来の第1及び第2の方法には、それぞれ、以下のような問題があった。従来の第1の方法では、配線溝パターンがスルーホールパターンに対して位置ずれ生じている場合、ウエハを廃棄せざるを得ないので、生産性の向上が難しいことである。図21(a)に示すように、エッチングマスク30を形成した際、エッチングマスク30の上層配線用の配線溝パターンが、ホール32A(スルーホール32の上部)と位置ずれが生じることがある。しかし、層間絶縁膜としてLow-k層を使っているので、エッチングマスクの配線溝パターンとスルーホールのパターンとの間に、一旦、位置ずれが生じると、エッチングマスクの位置ずれを修正したり、再工事することが難しく、しかも、位置ずれが生じたチップ領域を有するウエハは、廃棄せざるを得ない。それは、位置ずれの生じているエッチングマスク30をO₂プラズマアッシング法によって除去しようとすると、図21(b)に示すように、Low-k層16をエッチングしてしまい、層間絶縁膜内に空洞が生じるからである。

【0014】また、従来の第2の方法では、図22(a)に示すように、エッチングマスク48のスルーホール・パターンの位置が開口部47(配線溝54と同じパターンで同じ開口径)に対して位置ずれしていると、P-SiO₂膜42をエッチングして開口したホール50(スルーホール52と同じパターンで同じ開口径)の開口径が小さくなる。その結果、図22(b)に示すように、スルーホール52を形成した際、スルーホール52の開口径が小さくなり、しかも、配線溝54の縁に偏して位置する。そのため、スルーホール52の壁にバリヤメタル層としてTa層56を成膜する際のカバリッジが悪くなる。そして、図22(c)に示すように、Ta層56の一部の膜厚が著しく薄くなり、また、スルーホール52及び配線溝54をCu層58で埋め込んだ際、ボイドが生じて、コンタクト抵抗が増大したり、更には、導通不良が生じる。

【0015】ところで、上述したような、エッチングマスクの上層配線用の配線溝パターンが、既に形成されているスルーホールに対して位置ずれしたり、或いは、エッチングのスルーホール・パターンが、既に形成されている上層配線溝に対して位置ずれしたりすることは、配線の微細化と共に位置合わせマージンが減少するので、しばしば、生じる。その度に、ウエハを廃棄したり、或いは導通不良による不合格製品の発生を招いたりすることは、製品歩留り上で、極めて好ましくないことである。

【0016】そこで、本発明の目的は、高い製品歩留りで、デュアル・ダミン法によって、埋め込み配線を形成する方法を提供することである。

【0017】

【課題を解決するための手段】本発明者は、先ず、スルーホールのパターンを形成し、次いで配線溝のパターンを形成する手順方が、配線溝のパターンを形成し、次いでスルーホールのパターンを形成する手順より位置ずれが生じ難いことに注目し、かつ、トリブル・ハードマスクを使用することにより、位置ずれが生じているエッチングマスクであっても、O₂プラズマアッシングによって除去できるようになると、を着想して、実験を重ねて、本発明を発明するに至った。

【0018】上記目的を達成するために、本発明に係る半導体装置の製造方法は、半導体基板上に第1の配線とその上層の第2の配線とを備え、第1及び第2の配線間にスルーホールが形成されている半導体装置の製造方法において、第2の配線及びスルーホールを形成する際、第1の配線上の層間膜として、順次、第1の配線の配線金属の拡散防止膜として機能する第1の絶縁膜と、低誘電率膜層からなる第2の絶縁膜とを形成する絶縁膜成膜工程と、第2の絶縁膜上に成膜された少なくとも3層以上の絶縁ハードマスク層で構成され、かつ、それらの3層の絶縁ハードマスク層は同じエッチング条件ではエッ

チングによって除去できるようにしてある。

チングレートが相互に異なる多層ハードマスク層であって、第2の絶縁膜上に、順次、第1の絶縁ハードマスク層、第2の絶縁ハードマスク層及び第3の絶縁ハードマスク層を成膜する多層ハードマスク層の成膜工程と、第3及び第2のハードマスク層をエッチングして、スルーホールパターンである第1の開口部をセルフアラインで第1のハードマスク上に形成する第1の開口部形成工程と、第3のハードマスク層をエッチングして、第2の配線の配線溝バターンであって、第1の開口部に連通する第2の開口部を第2のハードマスク層上に形成する第2の開口部形成工程と、第2のハードマスク層をエッティングマスクとして、第1のハードマスク層をエッティングするステップと、更に第2の絶縁膜をエッティングするステップとを有して、第1及び第2の開口部に連通し、かつ第1の絶縁層を露出させる第3の開口部を形成する第3の開口部形成工程と、第3のハードマスク層をエッティングマスクとして、第2のハードマスク層、第1のハードマスク層、及び第2の絶縁膜の上部をエッティングして、第2の配線の配線溝を形成すると共に第1の絶縁層をエッティングして、第1の配線を露出させるスルーホールを開口する第2の配線の配線溝／スルーホール形成工程とを有することを特徴としている。

【0019】本発明方法では、第3のハードマスク層は配線溝形成の際のエッティングマスクとして機能し、第2のハードマスク層はスルーホール形成の際のエッティングマスクとして機能する。第1のハードマスク層は、第2の開口部形成工程の後、第2の開口部形成に使ったエッティングマスクを除去する際の低誘電率層保護膜としての機能を有する。即ち、第2の開口部形成工程の後、第2の開口部形成に使ったエッティングマスクを除去する際、低誘電率層上に第1のハードマスク層が存在するので、エッティングマスクの位置決めの際に位置ずれがあるても、従来の第1の方法のように低誘電率層をエッティングすることなく、除去することができる。本発明方法で、ハードマスク層とは、バーニングすることにより、エッティングの際にエッティングマスクとして機能する層を言う。

【0020】本発明の別の実施態様は、絶縁膜成膜工程では、低誘電率層からなる第2の絶縁膜に際し、順次、第1の低誘電率層、第2のハードマスク層と同じ組成の電気絶縁性エッティングストッパ層、及び第2の低誘電率層とを成膜し、第3の開口部形成工程では、第2のハードマスク層をエッティングマスクとして、第1のハードマスク層をエッティングして第2の低誘電率層を露出させるステップと、第2の低誘電率層をエッティングしてエッティングストッパ層を露出させるステップと、更にエッティングストッパ層をエッティングするステップとを有し、配線溝／スルーホール形成工程では、第3のハードマスク層をエッティングマスクとして、第2のハードマスク層、第1のハードマスク層、及び第2の低誘電率層をエッキン

グしてエッティングストッパ層を露出させて第2の配線の配線溝を形成し、更に、第1の絶縁膜をエッティングして、第1の配線を露出させるスルーホールを開口する。

【0021】本実施態様では、層間絶縁膜の配線溝の底面設定位置にエッティングストッパ層を設けることにより、配線溝のエッティング制御性を向上させることができること。

【0022】本発明の更に別の実施態様は、絶縁膜成膜工程では、低誘電率層からなる第2の絶縁膜として、第10第2のハードマスク層と同じ組成の絶縁膜及び低誘電率層を成膜し、第3の開口部形成工程では、第2のハードマスク層をエッティングマスクとして、第1のハードマスク層をエッティングして低誘電率層を露出させるステップと、低誘電率層及び絶縁膜をエッティングして第1の絶縁膜を露出させるステップとを有して、第1及び第2の開口部に連通し、かつ第1の絶縁膜を露出させる第3の開口部を形成し、配線溝／スルーホール形成工程では、第20第3のハードマスク層をエッティングマスクとして、第2のハードマスク層、第1のハードマスク層、及び低誘電率層をエッティングして絶縁膜を露出させて第2の配線の配線溝を形成し、更に、第1の絶縁膜をエッティングして、第1の配線を露出させるスルーホールを開口する。

【0023】本実施態様では、エッティングストッパ層として機能する第2のハードマスク層と同じ組成の絶縁膜を層間絶縁膜の配線溝の底面設定位置にまで成膜することにより、配線溝のエッティング制御性を向上させることができる。

【0024】本発明の好適な実施態様では、第1のハードマスク層として第1の絶縁膜と同じ組成の絶縁膜を成膜する。また、第1の開口部形成工程では、第3のハードマスク層上に第1の反射防止膜を成膜し、次いで第1の反射防止膜上にスルーホール・バターンを有する第1のエッティングマスクを形成し、先ず、第1の反射防止膜、続いて第3及び第2のハードマスク層をエッティングする。更には、第2の開口部形成工程では、第3のハードマスク層上に第2の反射防止膜を成膜して、第1の開口部を埋め、次いで第2の反射防止膜上に上層配線形成用の配線溝バターンを有する第2のエッティングマスクを第2の反射防止膜上に形成し、先ず、第2の反射防止膜、続いて第3のハードマスク層をエッティングする。

【0025】本発明では、下層配線の配線金属の種類、低誘電率層の組成、第1から第3のハードマスク層の組成には、制約はなく、例えば、下層配線がCu層、第1のハードマスク層がSiC膜、第2のハードマスク層がSiO₂膜、及び第3のハードマスク層がSiN膜である。

【0026】本発明に係る半導体装置は、半導体基板上に、第1の配線と、第1の配線上に設けられた絶縁膜と、絶縁膜に設けられた配線溝を埋め込んで形成された第2の配線とを備え、第1及び第2の配線間に絶縁膜を

貫通するスルーホールが形成されている半導体装置において、第1の配線及び第2の配線との間に介在する絶縁膜が、第1の配線上に、順次、成膜された、第1の配線の配線金属の拡散防止膜として機能する第1の絶縁膜と、低誘電率膜層からなる第2の絶縁膜を有し、第2の絶縁膜上には、少なくとも3層以上の異種組成の絶縁膜が設けられ、第2の配線の配線溝は、少なくとも3層以上の異種組成の絶縁膜を貫通して、第2の絶縁膜に達し、かつスルーホールに連通することを特徴としている。

【0027】

【発明の実施の形態】以下に、添付図面を参照し、実施形態例を挙げて本発明の実施の形態を具体的かつ詳細に説明する。

実施形態例1

本実施形態例は、本発明に係る半導体装置の製造方法の実施形態の一例であって、図1(a)から(c)、図2(d)から(f)、図3(g)から(i)、及び図4(j)から(l)は、それぞれ、本実施形態例の方法に従って配線を形成した際の工程毎の断面図である。先ず、図1(a)に示すように、下層配線として形成されたCu層62上に、プラズマCVD法によって膜厚50nmのP-SiC膜64を成膜し、次いで層間絶縁膜として膜厚800nmの低誘電率層（以下、Low-k層と言う）66を成膜し、更に、プラズマCVD法によって、それぞれ、膜厚50nmの、P-SiC膜68、P-SiO₂膜70、及びP-SiN膜72を、順次、成膜し、トリブル・ハードマスクを形成する。P-SiC膜64は、Cu層62のCu原子の拡散防止膜として機能する。実施形態例2及び3でも、下層配線のCu層上のP-SiC膜の機能は同じである。また、Low-k層として、例えばダウケミカル社のSiLK、ハネウェル社のPLARBなどの有機ポリマーを使う。

【0028】次いで、図1(b)に示すように、P-SiN膜72上に、膜厚100nmの第1の反射防止膜（以下、第1のARC膜と言う）74を成膜した後、膜厚400nmのフォトレジスト膜を成膜し、次いでスルーホール・パターンを有するエッチングマスク76を形成する。第1のARC膜には、例えばノボラック樹脂タイプを使う。次に、エッチングマスク76を使い、かつエッチングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、図1(c)に示すように、第1のARC膜74、P-SiN膜72及びP-SiO₂膜70をエッチングして、P-SiC膜68を露出させた、スルーホールと同じ開口径の第1の開口部78をP-SiC膜68上に形成する。

【0029】次いで、O₂プラズマアッティング法によって、図2(d)に示すように、エッチングマスク76及び第1のARC膜74を除去して、P-SiN膜72を露出させる。続いて、図2(e)に示すように、P-Si

iN膜72上に膜厚100nmの第2のARC膜80を成膜して開口部78を埋め、更に、第2のARC膜80上に膜厚400nmのフォトレジスト膜82を成膜する。次に、フォトレジスト膜82をバターニングして、図2(f)に示すように、上層配線用の配線溝パターンを有するエッチングマスク82Aを形成する。尚、図2(f)で、本発明方法の効果を示すために、敢えて配線溝パターンはスルーホール・パターンと多少位置ずれが生じているように図示されている。

【0030】次いで、エッチングマスク82Aを使い、かつエッチングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、図3(g)に示すように、第2のARC膜80、及びP-SiN膜72をエッチングして、第1の開口部78と連通した第2の開口部83をP-SiO₂膜70上に形成する。次いで、O₂プラズマアッティング法によって、図3(h)に示すように、エッチングマスク82Aを除去して、P-SiN膜72、第2の開口部83、及び第1の開口部78を露出させる。続いて、図3(i)に示すように、P-SiO₂膜70をエッチングマスクとし、かつエッチングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、先ず、P-SiC膜68をエッチングして、Low-k層66を露出させる。更に、エッチングガスとしてN₂とH₂との混合ガスを使って、Low-k層66をエッチングして、P-SiC膜64を露出させる第3の開口部84Aを開口する。

【0031】次いで、P-SiN膜72をエッチングマスクとし、かつC_xF_yとCOとO₂とArとの混合ガスを使って、図4(j)に示すように、P-SiO₂膜70、P-SiC膜68及びLow-k層66をエッチングして上層配線用の配線溝86を形成すると共にP-SiC膜64をエッチングして下層のCu層62を露出させるスルーホール84を開口する。その後、ウェット剥離を行う。次に、図4(k)に示すように、バリヤメタル層として膜厚50nmのTa層88をスルーホール84及び配線溝86の壁、並びにP-SiN膜72上に成膜し、更に、Cuシードスパッタ法によって膜厚100nmのCu層を堆積させ、めっき法によって膜厚800nmのCu層を堆積させ、総計900nmのCu層90をTa層88上に形成する。続いて、コロイダル・シリカスラリを研磨剤としたCMP法によって、Cu層90、次いでTa層88を研磨、除去して、P-SiN膜72を露出させると共に、上層配線92と、上層配線92と下層配線62とを接続するピアブラング94を形成する。

【0032】実施形態例2

本実施形態例は、本発明に係る半導体装置の製造方法の実施形態の別の例であって、図5(a)から(c)、図6(d)から(f)、図7(g)から(i)、図8(j)から(l)、及び図9(m)から(o)は、それ

それ、本実施形態例の方法に従って配線を形成した際の工程毎の断面図である。本実施形態例では、配線溝形成のためのエッティングストップ層をLow-k層中に有す。

【0033】先ず、図5(a)に示すように、下層配線として形成されたCu層102上に、プラズマCVD法によって膜厚50nmのP-SiC膜104を成膜し、次いで第1の層間絶縁膜として膜厚300nmの第1のLow-k層106を成膜し、更に、プラズマCVD法によって膜厚50nmのP-SiO₂膜108を成膜し、次いで第2の層間絶縁膜として膜厚300nmのLow-k層110を成膜する。更に、プラズマCVD法によって、それぞれ、膜厚50nmの、P-SiC膜112、P-SiO₂膜114、及びP-SiN膜116を、順次、成膜し、トリプル・ハードマスクを形成する。本実施形態例では、第2のLow-k層108は、第1のLow-k層106と同じLow-k層であって、例えばダウケミカルのSiLKのような有機ポリマーを使用している。また、P-SiO₂膜108は、配線溝を形成する際のエッティングストップ層として機能する。

【0034】次いで、図5(b)に示すように、P-SiN膜116上に、膜厚100nmの第1のARC膜118を成膜した後、膜厚400nmのフォトレジスト膜を成膜し、次いでスルーホール・パターンを有するエッティングマスク120を形成する。次に、エッティングマスク120を使い、かつエッティングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、図5(c)に示すように、第1のARC膜118、P-SiN膜116及びP-SiO₂膜114をエッティングして、P-SiC膜112を露出させたスルーホールと同じ開口径の第1の開口部122をP-SiC膜112上に形成する。

【0035】次いで、O₂プラズマアッティング法によって、図6(d)に示すように、エッティングマスク120及び第1のARC膜118を除去して、P-SiN膜116を露出させる。続いて、図6(e)に示すように、P-SiN膜116上に膜厚100nmの第2のARC膜124を成膜して開口部122を埋め、更に、膜厚400nmのフォトレジスト膜126を第2のARC膜124上に成膜する。次に、フォトレジスト膜126をバーニングして、図6(f)に示すように、上層配線用の配線溝パターンを有するエッティングマスク126Aを形成する。尚、図6(f)では、本発明の効果を示すために、敢えて配線溝パターンはスルーホール・パターンと多少位置ずれが生じているように図示されている。

【0036】次いで、エッティングマスク126Aを使い、かつエッティングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、図7(g)に示すように、第2のARC膜124、及びP-SiN膜116をエッ

チングして、第1の開口部122に連通した第2の開口部127をP-SiO₂膜114上に形成する。次いで、O₂プラズマアッティング法によって、図7(h)に示すように、エッティングマスク126Aを除去して、P-SiN膜116を露出させる。続いて、図7(i)に示すように、P-SiO₂膜114をエッティングマスクとし、かつエッティングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、先ず、P-SiC膜112をエッティングして、第2のLow-k層110を露出させる。更に、エッティングガスとしてN₂とH₂との混合ガスを使って、第2のLow-k層110をエッティングして、P-SiO₂膜108を露出させるホール128を開口する。

【0037】続いて、図8(j)に示すように、P-SiN膜116をエッティングマスクとし、かつエッティングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、先ず、P-SiO₂膜114をエッティングして、P-SiC膜112を露出させると共に、P-SiO₂膜108をエッティングして、第1のLow-k層106を露出させる。次に、図8(k)に示すように、更に、P-SiN膜116をエッティングマスクとし、かつエッティングガスとしてN₂とH₂との混合ガスを使って、P-SiC膜112及び第2のLow-k層110をエッティングして、上層配線用の配線溝130を形成する。この際、P-SiO₂膜108はエッティングストップ層として機能する。同時に、第1のLow-k層106をエッティングして、P-SiC膜104を露出させる第3の開口部132Aを開口する。次いで、P-SiO₂膜108をエッティングマスクとし、かつC_xF_yとCOとO₂とArとの混合ガスを使って、図8(l)に示すように、P-SiC膜104をエッティングして下層のCu層102を露出させるスルーホール132を開口する。その後、ウェット剥離を行う。

【0038】次に、図9(m)に示すように、バリヤメタル層として膜厚50nmのTa層134をスルーホール132及び配線溝134の壁、並びにP-SiN膜116上に成膜する。更に、図9(n)に示すように、Cuシードスパッタ法によって膜厚100nmのCu層を堆積させ、めっき法によって膜厚800nmのCu層を堆積させ、総計900nmのCu層136をTa層134上に形成する。続いて、コロイダル・シリカスラリを研磨剤としたCMP法によって、Cu層136、次いでTa層134を研磨、除去して、図9(o)に示すように、P-SiN膜116を露出させると共に、上層配線138と、上層配線138と下層配線102とを接続するピアラグ140を形成する。

【0039】実施形態例3
本実施形態例は、本発明に係る半導体装置の製造方法の実施形態の更に別の例であって、図10(a)から(c)、図11(d)から(f)、図12(g)から

(i)、図13(j)から(1)、及び図14(m)と(n)は、それぞれ、本実施形態例の方法に従って配線を形成した際の工程毎の断面図である。本実施形態例は、層間絶縁膜の一部として配線溝形成の際のエッチングストップ層として機能する絶縁膜をLow-k層の下に成膜する。先ず、図10(a)に示すように、下層配線として形成されたCu層142上に、プラズマCVD法によって膜厚50nmのP-SiC膜144を成膜し、次いで第1の層間絶縁膜として膜厚300nmのP-SiO₂膜146を成膜し、次いで第2の層間絶縁膜として膜厚300nmのLow-k層148を成膜する。更に、プラズマCVD法によって、それぞれ、膜厚50nmの、P-SiC膜150、P-SiO₂膜152、及びP-SiN膜154を、順次、成膜し、トリブル・ハードマスクを形成する。

【0040】次いで、図10(b)に示すように、P-SiN膜154上に、膜厚100nmの第1のARC膜156を成膜した後、膜厚400nmのフォトレジスト膜を成膜し、次いでスルーホール・パターンを有するエッチングマスク158を形成する。次に、エッチングマスク158を使い、かつエッティングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、図10(c)に示すように、第1のARC膜156、P-SiN膜154及びP-SiO₂膜152をエッティングして、P-SiC膜150を露出させた、スルーホールと同じ開口径の第1の開口部160をP-SiC膜150上に形成する。

【0041】次いで、O₂プラズマアッシング法によって、図11(d)に示すように、エッティングマスク158及び第1のARC膜156を除去して、P-SiN膜154を露出させる。続いて、図11(e)に示すように、P-SiN膜116上に膜厚100nmの第2のARC膜162を成膜して開口部122を埋め、更に、膜厚400nmのフォトレジスト膜164を成膜する。次に、フォトレジスト膜164をバーニングして、図11(f)に示すように、上層配線用の配線溝パターンを有するエッティングマスク164Aを形成する。尚、図11(f)で、本発明の効果を示すために、敢えて配線溝パターンはスルーホール・パターンと多少位置ずれが生じているように図示されている。

【0042】次いで、エッティングマスク164Aを使い、かつエッティングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、図12(g)に示すように、第2のARC膜162、及びP-SiN膜154をエッティングして、第1の開口部160と連通した第2の開口部165をP-SiC膜152上に形成する。次いで、O₂プラズマアッシング法によって、図12(h)に示すように、エッティングマスク164Aを除去して、P-SiN膜154を露出させる。続いて、図12(i)に示すように、P-SiO₂膜152をエッチ

グマスクとし、かつエッティングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、先ず、P-SiC膜150をエッティングして、Low-k層148を露出させる。

【0043】次に、図13(j)に示すように、P-SiN膜154をエッティングマスクとし、エッティングガスとしてN₂とH₂との混合ガスを使って、P-SiO₂膜152、Low-k層148、及びP-SiO₂膜146をエッティングして、P-SiC膜144を露出させる第3の開口部66Aを開口する。続いて、図13(k)に示すように、P-SiN膜154をエッティングマスクとし、かつエッティングガスとしてC_xF_yとCOとO₂とArとの混合ガスを使って、P-SiC膜150及びP-SiC膜144をエッティングして、Cu層142を露出させるスルーホール166を形成する。次に、図13(l)に示すように、更に、P-SiN膜546をエッティングマスクとし、かつエッティングガスとしてN₂とH₂との混合ガスを使ってLow-k層148をエッティングして、上層配線用の配線溝168を形成する。この際、P-SiO₂膜146はエッティングストップ層として機能する。その後、ウェット剥離を行う。

【0044】次に、図14(m)に示すように、バリヤメタル層として膜厚50nmのTa層170をスルーホール166及び配線溝168の壁、並びにP-SiN膜154上に成膜する。更に、Cuシードスパッタ法によって膜厚100nmのCu層を堆積させ、めっき法によって膜厚800nmのCu層を堆積させ、総計900nmのCu層172をTa層170上に形成する。続いて、コロイダル・シリカスラリを研磨剤としたCMP法によって、Cu層172、次いでTa層170を研磨、除去して、図14(n)に示すように、P-SiN膜154を露出させると共に、上層配線174と、上層配線174と下層配線142とを接続するピアブラング176を形成する。

【0045】

【発明の効果】本発明によれば、低誘電率層上に、順次、成膜された、第1の絶縁ハードマスク層、第2の絶縁ハードマスク層、及び第3の絶縁ハードマスク層から構成され、かつ、同じエッティング条件ではエッティングレートが第1、第2、及び第3のハードマスク層の間で相互に異なる、トリブル・ハードマスク層を形成することにより、第3のハードマスク層を配線溝形成の際のエッティングマスクとして機能させ、第2のハードマスク層をスルーホール形成の際のエッティングマスクとして機能させ、第1のハードマスク層を、第2の開口部形成工程の後、第2の開口部形成に使ったエッティングマスクを除去する際の低誘電率層保護膜としての機能させる。これにより、第2の開口部形成工程の後、第2の開口部形成に使ったエッティングマスクを除去する際、低誘電率層上に第1のハードマスク層が存在するので、エッティングマス

クの位置決めの際に位置ずれがあつても、従来の第1の方法のように低誘電率層をエッチングすることなく、除去することができる。

【図面の簡単な説明】

【図1】図1(a)から(c)は、それぞれ、実施形態例1の方法に従って配線を形成した際の工程毎の断面図である。

【図2】図2(d)から(f)は、それぞれ、図1(c)に従いて、実施形態例1の方法に従って配線を形成した際の工程毎の断面図である。

【図3】図3(g)から(i)は、それぞれ、図2(f)に従いて、実施形態例1の方法に従って配線を形成した際の工程毎の断面図である。

【図4】図4(j)から(l)は、それぞれ、図3(i)に従いて、実施形態例1の方法に従って配線を形成した際の工程毎の断面図である。

【図5】図5(a)から(c)は、それぞれ、実施形態例2の方法に従って配線を形成した際の工程毎の断面図である。

【図6】図6(d)から(f)は、それぞれ、図5(c)に従いて、実施形態例2の方法に従って配線を形成した際の工程毎の断面図である。

【図7】図7(g)から(i)は、それぞれ、図6(f)に従いて、実施形態例2の方法に従って配線を形成した際の工程毎の断面図である。

【図8】図8(j)から(l)は、それぞれ、図7(i)に従いて、実施形態例2の方法に従って配線を形成した際の工程毎の断面図である。

【図9】図9(m)から(o)は、それぞれ、図8(l)に従いて、実施形態例2の方法に従って配線を形成した際の工程毎の断面図である。

【図10】図10(a)から(c)は、それぞれ、実施形態例3の方法に従って配線を形成した際の工程毎の断面図である。

【図11】図11(d)から(f)は、それぞれ、図10(c)に従いて、実施形態例3の方法に従って配線を形成した際の工程毎の断面図である。

【図12】図12(g)から(i)は、それぞれ、図11(f)に従いて、実施形態例3の方法に従って配線を形成した際の工程毎の断面図である。

【図13】図13(j)から(l)は、それぞれ、図12(i)に従いて、実施形態例3の方法に従って配線を形成した際の工程毎の断面図である。

【図14】図14(m)及び(n)は、それぞれ、図13(l)に従いて、実施形態例3の方法に従って配線を形成した際の工程毎の断面図である。

【図15】図15(a)から(c)は、それぞれ、従来の第1の方法に従って配線を形成した際の工程毎の断面図である。

【図16】図16(d)と(e)は、それぞれ、図15

(c)に従いて、従来の第1の方法に従って配線を形成した際の工程毎の断面図である。

【図17】図17(f)から(h)は、それぞれ、図16(e)に従いて、従来の第1の方法に従って配線を形成した際の工程毎の断面図である。

【図18】図18(a)から(c)は、それぞれ、従来の第2の方法に従って配線を形成した際の工程毎の断面図である。

【図19】図19(d)から(f)は、それぞれ、図18(c)に従いて、従来の第2の方法に従って配線を形成した際の工程毎の断面図である。

【図20】図20(g)から(i)は、それぞれ、図19(f)に従いて、従来の第2の方法に従って配線を形成した際の工程毎の断面図である。

【図21】図21(a)及び(b)は、それぞれ、従来の第1の方法によって配線を形成する際の問題を説明する模式的断面図である。

【図22】図22(a)から(c)は、それぞれ、従来の第2の方法によって配線を形成する際の問題を説明する模式的断面図である。

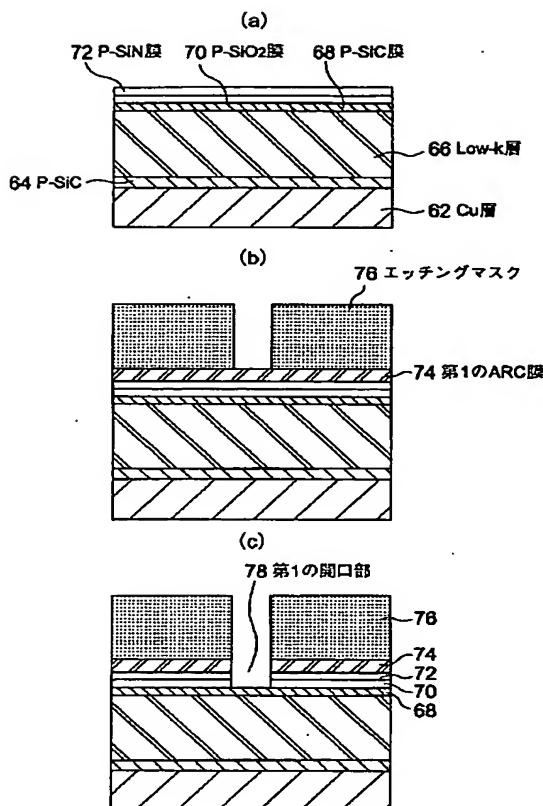
【符号の説明】

- 12 Cu層
- 14 P-SiN膜
- 16 Low-k層
- 18 P-SiO₂膜
- 20 第1のARC膜
- 22 エッチングマスク
- 24 ホール
- 26 第2のARC膜
- 30 28 フォトレジスト膜
- 30 エッチングマスク
- 32 A ホール
- 32 スルーホール
- 34 上層配線用の配線溝
- 36 Cu層
- 38 P-SiN膜
- 40 Low-k層
- 42 P-SiO₂膜
- 44 P-SiN膜
- 46 エッチングマスク
- 47 開口部
- 48 エッチングマスク
- 50 ホール
- 52 A ホール
- 52 スルーホール
- 54 上層配線用の配線溝
- 56 Ta層
- 58 Cu層
- 62 Cu層
- 64 P-SiC膜

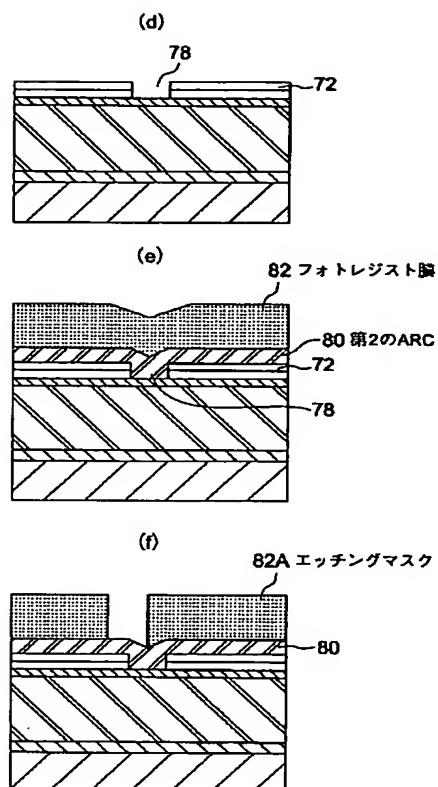
66 Low-k層
 68 P-SiC膜
 70 P-SiO₂膜
 72 P-SiN膜
 74 第1のARC膜
 76 エッチングマスク
 78 第1の開口部
 80 第2のARC膜
 82 フォトレジスト膜
 82A エッチングマスク
 83 第2の開口部
 84A 第3の開口部
 84 スルーホール
 86 配線溝
 88 Ta膜
 90 Cu層
 92 上層配線
 94 ピアプラグ
 102 Cu層
 104 P-SiC膜
 106 Low-k層
 108 P-SiO₂膜
 110 Low-k層
 112 P-SiC膜
 114 P-SiO₂膜
 116 P-SiN膜
 118 第1のARC膜
 120 エッチングマスク
 122 第1の開口部
 124 第2のARC膜
 126 フォトレジスト膜

126A エッティングマスク
 127 第2の開口部
 128 ホール
 130 配線溝
 132A 第3の開口部
 132 スルーホール
 134 Ta層
 136 Cu層
 138 上層配線
 140 ピアプラグ
 142 Cu層
 144 P-SiC膜
 146 P-SiO₂膜
 148 Low-k層
 150 P-SiC膜
 152 P-SiO₂膜
 154 P-SiN膜
 156 第1のARC膜
 158 エッティングマスク
 160 第1の開口部
 162 第2のARC膜
 164 フォトレジスト膜
 164A エッティングマスク
 165 第2の開口部
 166A 第3の開口部
 168 配線溝
 170 Ta層
 172 Cu層
 174 上層配線
 176 ピアプラグ

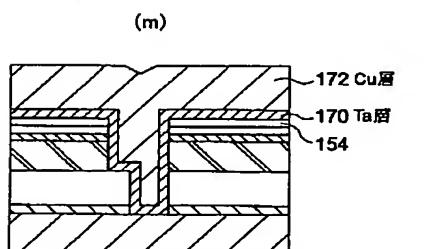
【図1】



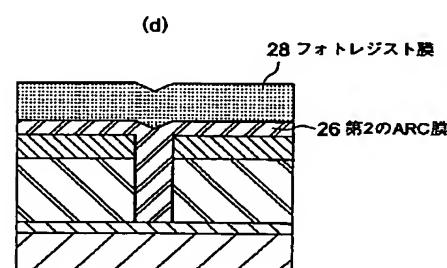
【図2】



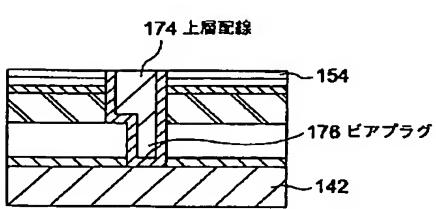
【図14】



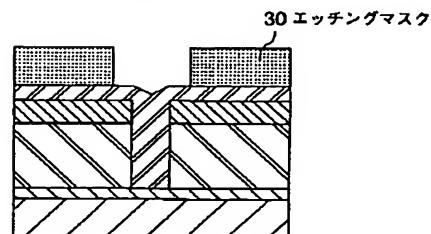
【図16】



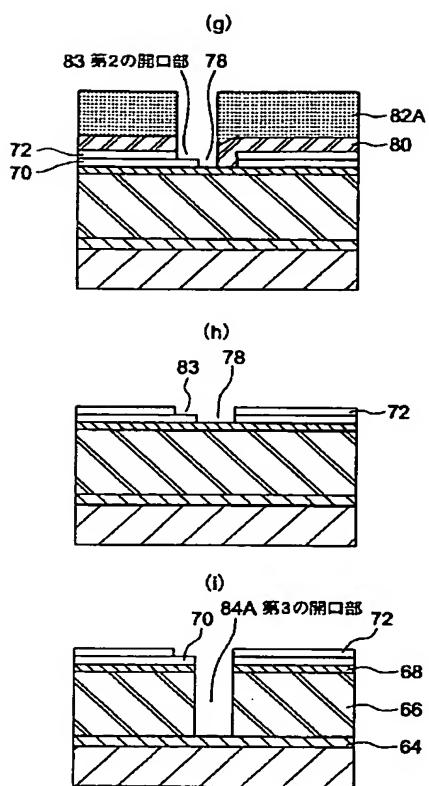
(n)



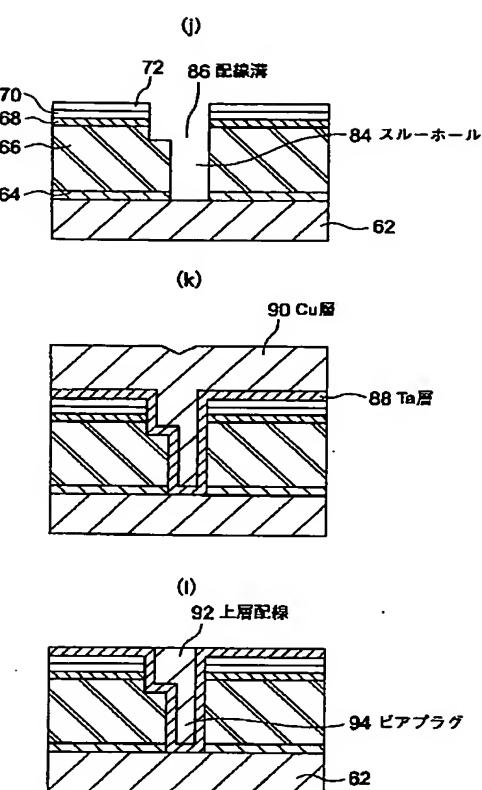
(e)



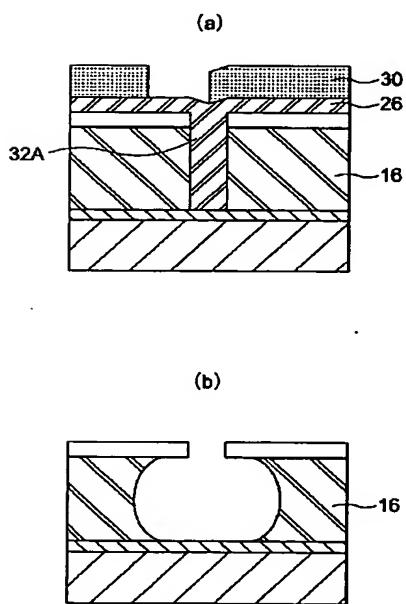
【図3】



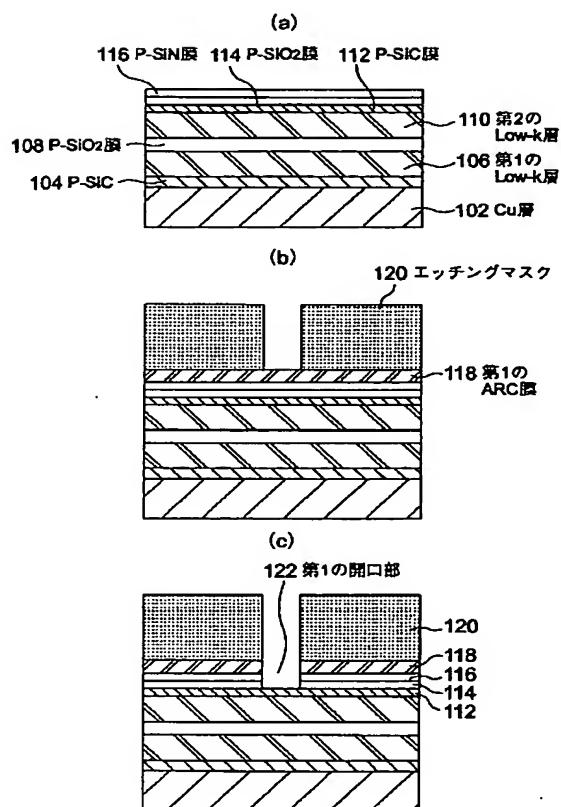
【図4】



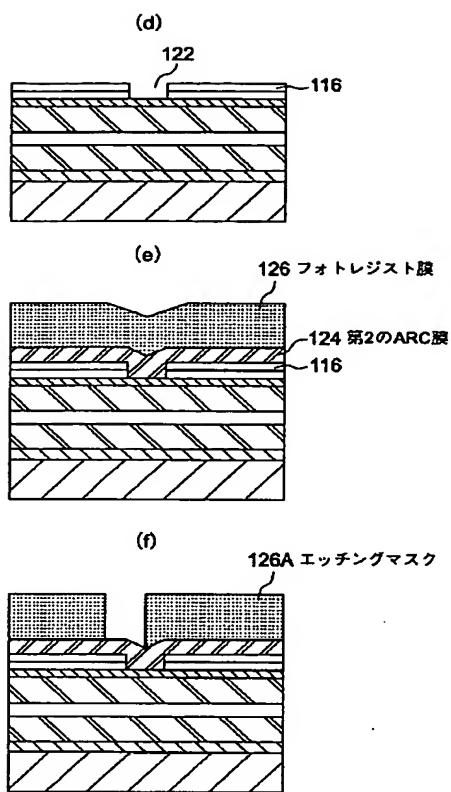
【図21】



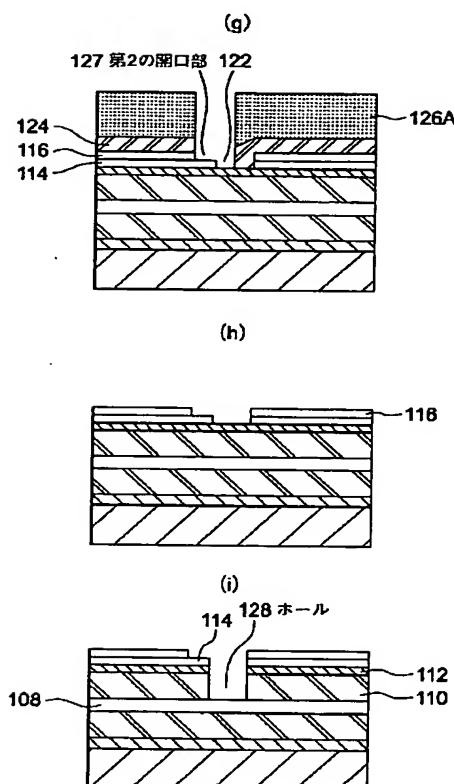
【図5】



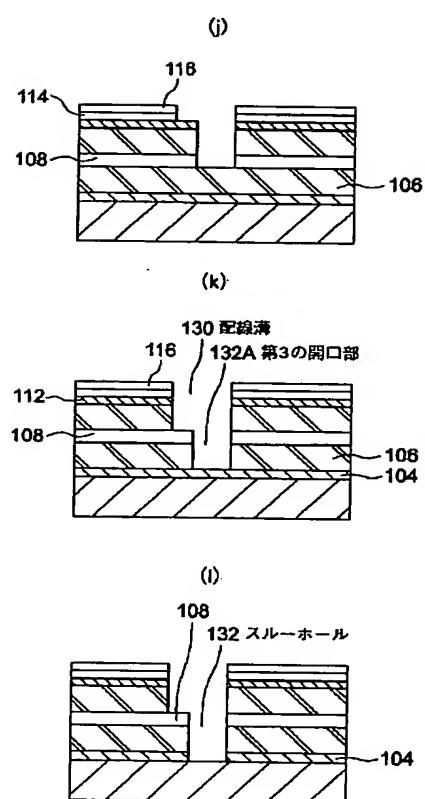
【図6】



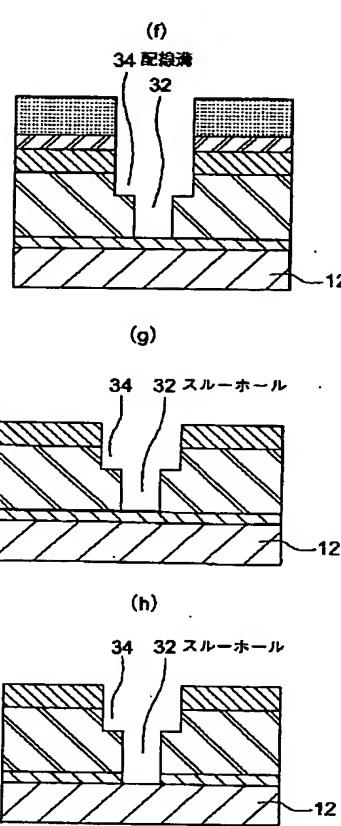
【図7】



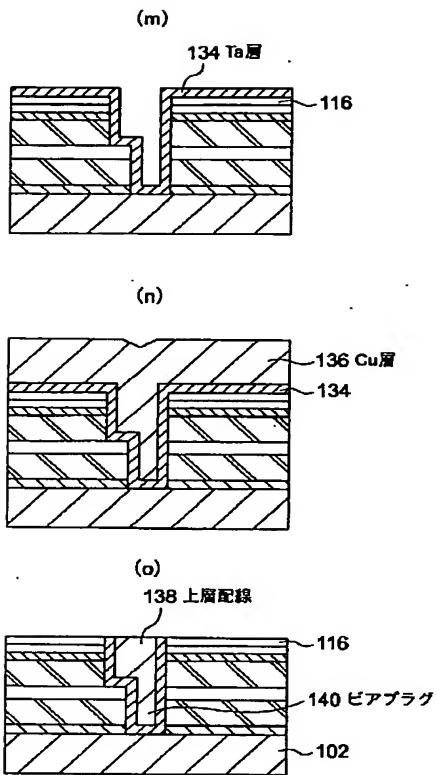
【図8】



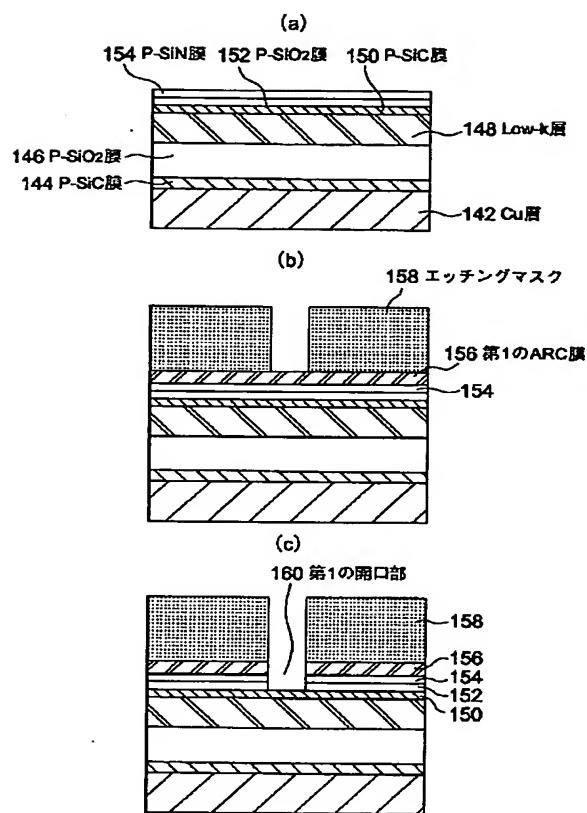
【図17】



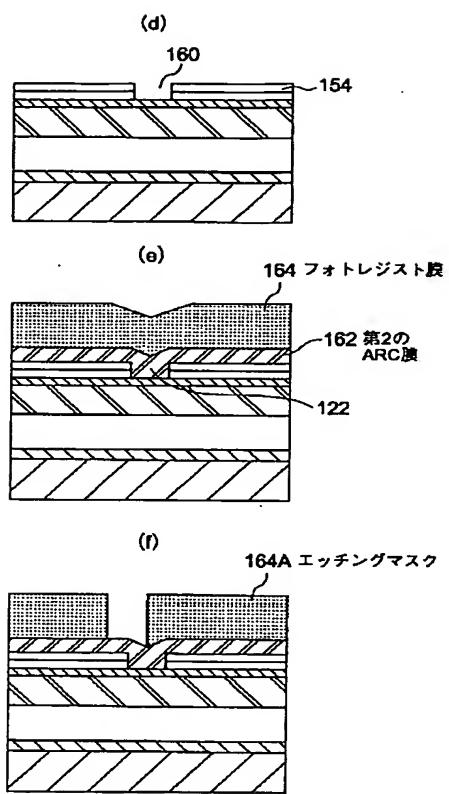
【図9】



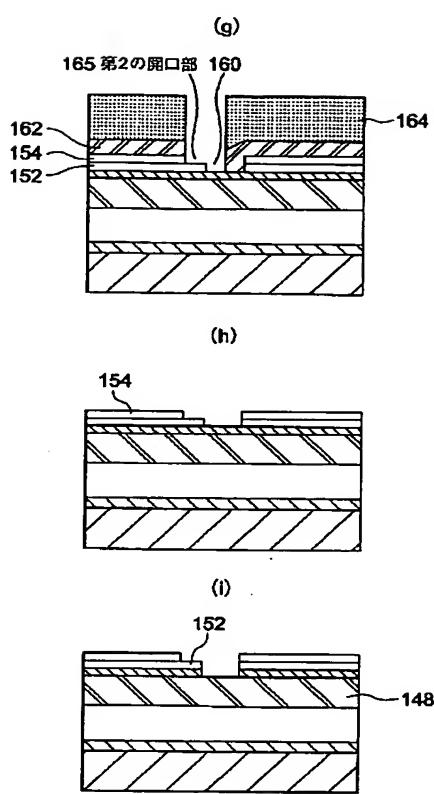
【図10】



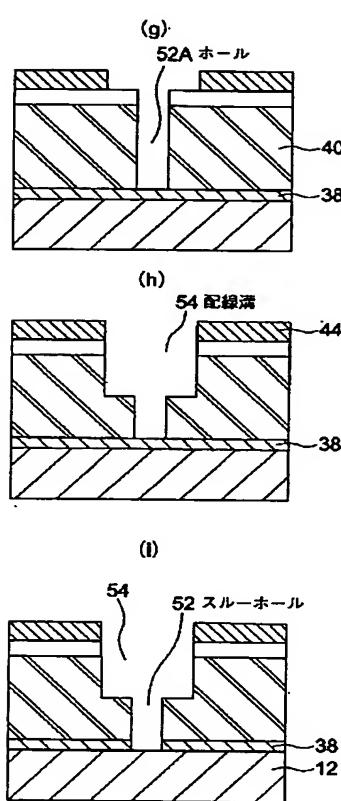
【図11】



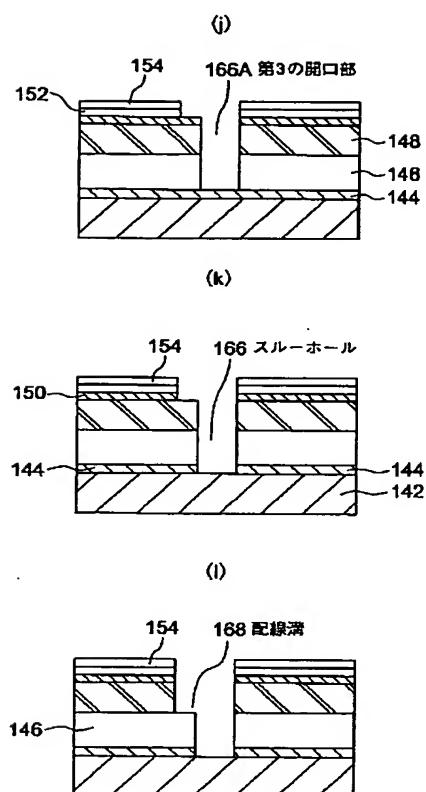
【図12】



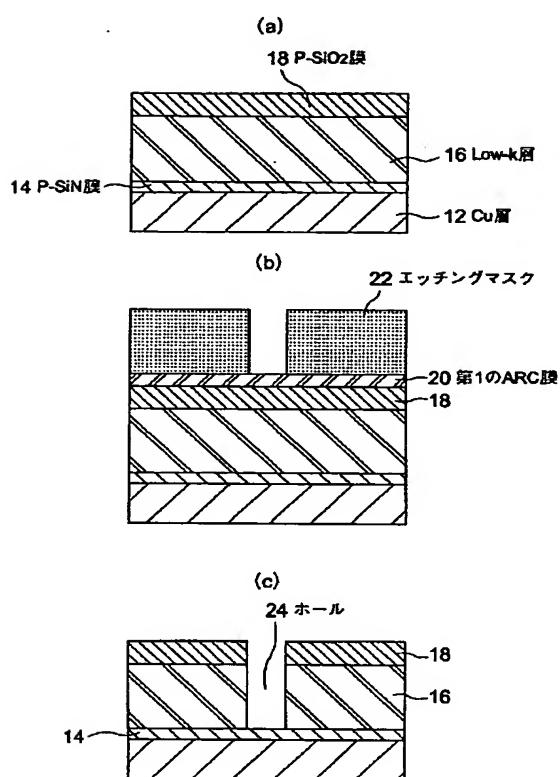
【図20】



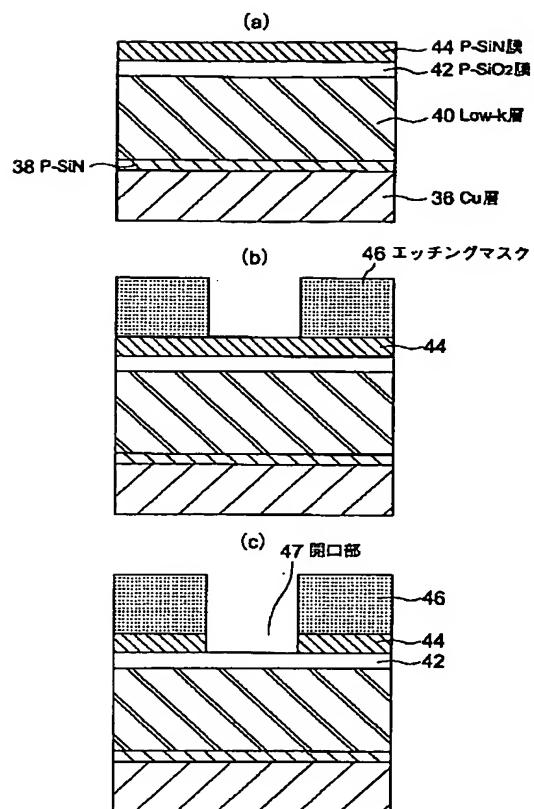
【図13】



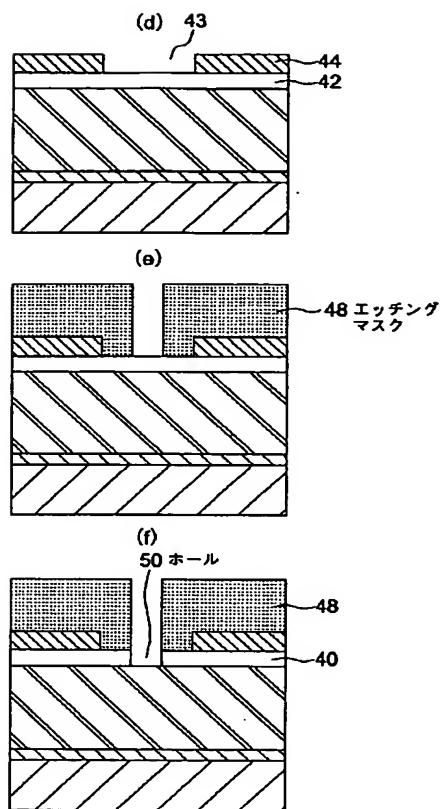
【図15】



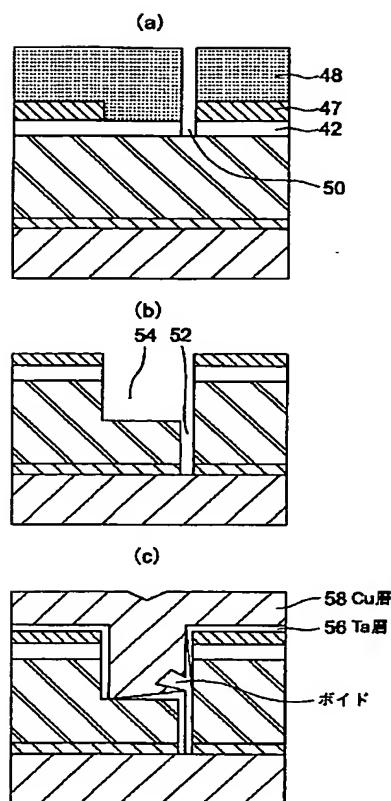
【図18】



【図19】



【図22】



フロントページの続き

F ターム(参考) 5F033 HH11 HH21 JJ11 JJ21 KK11
 MM02 MM12 MM13 NN06 NN07
 PP15 PP27 QQ04 QQ09 QQ10
 QQ21 QQ25 QQ28 QQ30 QQ37
 QQ48 RR01 RR04 RR06 RR21
 RR23 RR25 SS15 TT04 XX15
 XX28